

5 family members for:

Derived from 4 applications.

- Data supplied from the **esp@cenet** database - Worldwide

CRYSTALLIZATION METHOD AND MANUFACTURE OF THIN FILM TRANSISTOR USING ITS METHOD

Patent number: JP8102543

Publication date: 1996-04-16

Inventor: ON ZU ZO; ZE SON RO

Applicant: GOLD STAR ELECTRONICS

Classification:


- international: H01L21/20; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; H01L21/20; H01L21/336

- european: H01L21/20D; H01L21/336D2B; H01L21/336D2C; H01L29/786E2; H01L29/786E4C2; H01L29/786E4C4

Application number: JP19950194023 19950707

Priority number(s): KR19940016372 19940707; KR19940017685 19940721

Also published as:

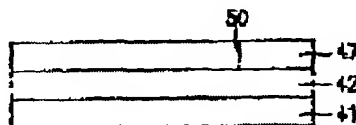
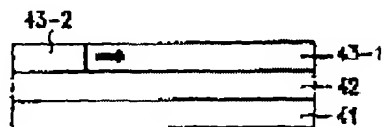
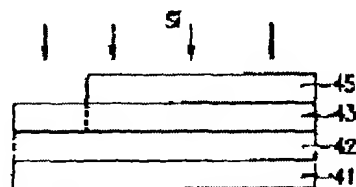
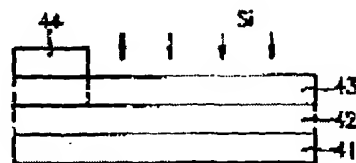
 US5753544 (A)

Report a data error here

Abstract of JP8102543

PROBLEM TO BE SOLVED: To improve on/off current ratio and switching speed by leaving a crystal having the specified plane direction in a second region of a polycrystalline silicon film evaporated on a substrate, implanting different amounts of silicons, so that a first region is made to be the amorphous state and recrystallizing the first region with the crystal remaining in the second region as the core, by heat treatment.

SOLUTION: A first ion-implanting mask 44 is attached to a polycrystalline silicon film 45, and a first film 43-1 of the film is removed by selective etching. Thereafter, ions are implanted at a high speed, and an amorphous layer 43-1 is formed. Then, the mask 44 is removed, and a second ion-implanting mask 45 is attached. Only the crystal in the direction of (110) plane is grown. Then, after the mask 45 has been removed, heat treatment is performed at about 600 deg.C for 12 hours, and the amorphous region 43-1 is recrystallized. Thus, not only the polycrystalline silicon film having a large crystal grain size is obtained, a position 50 of a grain boundary can be adjusted and the large on/off current ratio obtained, but also the switching speed can be enhanced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102543

(43) 公開日 平成8年(1996)4月16日

(51) Int. Cl. ⁶
H01L 29/786
21/336
21/20

識別記号

F I

9056-4M

H01L 29/78

627

G

審査請求 有 請求項の数 6 F D (全10頁)

(21) 出願番号 特願平7-194023
(22) 出願日 平成7年(1995)7月7日
(31) 優先権主張番号 1 6 3 7 2 / 1 9 9 4
(32) 優先日 1994年7月7日
(33) 優先権主張国 韓国 (K R)
(31) 優先権主張番号 1 7 6 8 5 / 1 9 9 4
(32) 優先日 1994年7月21日
(33) 優先権主張国 韓国 (K R)

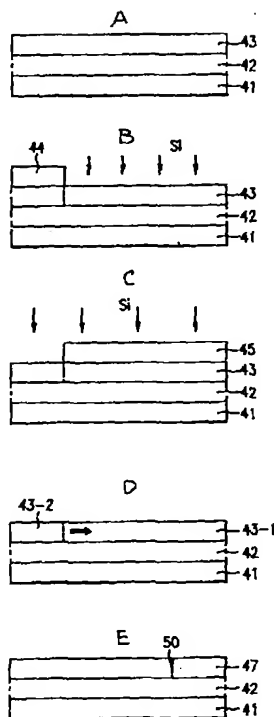
(71) 出願人 591044131
エルジイ・セミコン・カンパニイ・リミテ
ッド
大韓民国 チュングチェオンブグード チ
ェオンジュシ ヒャンギエオンードン
50
(72) 発明者 オン・ズ・ゾ
大韓民国・チュンチョンブグード・チョン
ズーシ・ボンミョンードン・353-5
(72) 発明者 ゼ・ソン・ロ
大韓民国・キョンギード・ガチョンーシ・
ビョルヤンードン・ズゴンアパートメント
503-303
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 結晶化方法及びこれを用いた薄膜トランジスタの製造方法

(57) 【要約】

【目的】 結晶粒度と結晶粒界の位置を調節できる結晶化方法を提供すること。

【構成】 本発明の結晶化方法は、半導体基板上に多結晶シリコン膜を蒸着する工程と、多結晶シリコン膜を第1領域と第2領域に分ける工程と、多結晶シリコン膜の第1領域と第2領域に互いに異なる量のシリコンイオンを注入して、第2領域に所定の面方向を有する結晶を残し第1領域は非晶質化する工程と、熱処理工程により第1領域に残っている結晶を核にして、非晶質化された第2領域を再結晶化させる工程とを含む。



1

【特許請求の範囲】

【請求項 1】 半導体基板上に多結晶シリコン膜を蒸着する工程と、

多結晶シリコン膜を第 1 領域と第 2 領域に分ける工程と、
多結晶シリコン膜の第 1 領域と第 2 領域に互いに異なる量のシリコンイオンを注入して、第 2 領域に所定の面方向を有する結晶を残し第 1 領域を非晶質化する工程と、熱処理工程により第 1 領域に残っている結晶を核にして、非晶質化された第 2 領域を再結晶化させる工程と、を含むことを特徴とする結晶化方法。

【請求項 2】 半導体基板上に多結晶シリコン膜を蒸着する工程と、

多結晶シリコンを第 1 領域と第 2 領域に分ける工程と、
多結晶シリコンを第 1 領域上に第 1 のイオン注入用マスク層を形成し、第 2 領域は露出させる工程と、
第 1 のイオン注入用マスク層を用いて、第 2 領域に所定の面方向を有する結晶を残すように多結晶シリコン膜の露出された第 2 領域にシリコンイオンを注入する工程と、
多結晶シリコン膜の第 2 領域上に第 2 のイオン注入用マスク層を形成し、第 1 領域は露出させる工程と、
第 2 のイオン注入用マスク層を用いて多結晶シリコン膜の露出された第 1 領域にシリコンイオンを注入して非晶質化させる工程と、
熱処理工程により第 2 領域に残っている結晶を核にして、非晶質化された第 1 領域を再結晶化させる工程と、を含むことを特徴とする結晶化方法。

【請求項 3】 半導体基板上に多結晶シリコン膜を蒸着する工程と、

多結晶シリコン膜を第 1 領域と第 2 領域に分ける工程と、
多結晶シリコン膜の第 2 領域上にイオン注入用マスク層を形成し、第 1 領域は露出させる工程と、
多結晶シリコン膜の全面に高エネルギーでシリコンイオンを垂直に注入して、第 1 領域に一つの面方向の結晶を残し第 2 領域は非晶質化させる工程と、
熱処理工程により第 1 領域に残っている結晶を核にして、非晶質化された第 2 領域を再結晶化させる工程と、を含むことを特徴とする結晶化方法。

【請求項 4】 基板上に多結晶シリコン膜を蒸着させる工程と、

前記多結晶シリコン膜上に第 1 のイオン注入用マスク層を形成する工程と、

前記第 1 マスク層を用いて多結晶シリコン膜に不純物をイオン注入してソースドレイン領域を形成する工程と、
多結晶シリコン膜のうち、ドレイン領域上に第 2 のイオン注入用マスク層を形成する工程と、

第 2 マスク層を用いてシリコンイオンを注入して前記ドレイン領域以外の領域を非晶質化させる工程と、

2

ドレイン領域を除いた多結晶シリコン膜上に第 3 のイオン注入用マスク層を形成する工程と、

第 3 マスク層を用いてシリコンイオンをドレイン領域に注入して所定の面方向を有する結晶のみを残す工程と、
ドレイン領域に残っている結晶を核にして、前記非晶質化された領域に再結晶化する工程と、

基板上にゲート絶縁膜とゲートを形成する工程と、
ソース／ドレイン領域上にソース／ドレイン電極を形成する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 基板上に多結晶シリコン膜を蒸着させる工程と、

前記多結晶シリコン膜上に第 1 のイオン注入用マスク層を形成する工程と、

前記第 1 マスク層を用いて多結晶シリコン膜に不純物をイオン注入してソース／ドレイン領域を形成する工程と、

多結晶シリコン膜のうちソース／ドレイン領域上に第 2 のイオン注入用マスク層を形成する工程と、

第 2 マスク層を用いてシリコンイオンを注入して前記ソース／ドレイン領域以外の領域を非晶質化させる工程と、

ソース／ドレイン領域を除いた多結晶シリコン膜上に第 3 のイオン注入用マスク層を形成する工程と、

第 3 マスク層を用いてシリコンイオンをソース／ドレイン領域に注入して所定の面方向の結晶のみを残す工程と、

ソース／ドレイン領域に残っている結晶を核にして、前記非晶質化された領域を再結晶化する工程と、

ソース／ドレイン領域の間の基板上にゲート絶縁膜とゲートとを形成する工程と、

ソース／ドレイン領域上にソース／ドレイン電極を形成する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 6】 基板上にゲートを形成する工程と、

ゲートを含む基板上にゲート絶縁膜を形成する工程と、

ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、
ゲート上部の多結晶シリコン膜上にマスク層を形成する工程と、

マスク層を用いてシリコンイオンを注入して多結晶シリコン膜のうち、ゲート上部の領域を非晶質化させ、その以外の領域に所定の面方向を有する結晶を残す工程と、
前記マスク層を用いて不純物をイオン注入して、ソース／ドレイン領域を形成する工程と、

前記マスク層を除去する工程と、

前記結晶を核にして、ゲート上部の非晶質化された領域を再結晶化させる工程と、

ソース／ドレイン領域上にソース／ドレイン電極を形成する工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は結晶化方法に係り、特にシリコンイオンの注入量と注入位置を調節して結晶粒径と結晶粒界の位置を自由に調節できる結晶化方法に関する。更に、本発明は、オン／オフ電流比とスイッチング速度が改善され、1 M級以上のSRAMの負荷トランジスタに適した結晶化方法を用いた薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】従来の多結晶シリコン膜を形成する方法としては、通常のCVD法により多結晶シリコン膜を蒸着させて形成する方法、又は非晶質シリコン膜を蒸着した後に固相結晶化(solid phase crystallization)させて、大きい結晶粒径を有する多結晶シリコン膜を形成する方法等がある。

【0003】通常のCVD法により蒸着された多結晶シリコン膜は、結晶粒径が小さくてこれを用いた素子の特性を低下させるという問題点があった。前記問題点を解決するために、非晶質シリコン膜を蒸着した後低温で熱処理して、通常の蒸着方法により蒸着された多結晶シリコン膜より大きい結晶粒径を有する多結晶シリコン膜を形成する方法が提案された。しかし、この方法は結晶粒径を増大させることはできるが、多結晶シリコン膜とするのに結晶核を生成させて長時間にわたって熱処理をしなければならないという問題点があった。

【0004】図1は通常のCVD法により蒸着された多結晶シリコン膜を用いた薄膜トランジスタの断面図を示す。図1を参照すると、多結晶シリコン薄膜トランジスタはシリコン基板11上に絶縁膜12を形成し、この絶縁膜12上に多結晶シリコン膜13を蒸着する。多結晶シリコン膜13上にゲート絶縁膜14とゲート15を形成し、これらをマスクとして多結晶シリコン膜13に不純物をイオン注入してソース／ドレイン領域16、17を形成する。この際、不純物がイオン注入されていない、ソース／ドレイン領域16、17の間の多結晶シリコン膜13は薄膜トランジスタのチャンネル領域として作用する。基板の全面に絶縁膜18を形成し、ソース／ドレイン領域16、17の上部の絶縁膜を除去してコンタクトを形成し、コンタクトを介してソース／ドレイン領域16、17と接触するソース／ドレイン電極19、20を形成する。これにより、従来の多結晶シリコン薄膜トランジスタが製造される。

【0005】図3は非晶質シリコン薄膜トランジスタの断面図である。図3を参照すると、従来の非晶質シリコン薄膜トランジスタの製造方法は、シリコン基板31上に絶縁膜32を形成し、絶縁膜32上にゲート33を形成し、ゲート33を含んだ絶縁膜32上にゲート絶縁膜34を形成する。ゲート絶縁膜34上に非晶質シリコン膜を蒸着し、蒸着された非晶質シリコン膜を低温での熱

処理工程により固相結晶化して多結晶シリコン膜35を形成する。ゲートの両側の多結晶シリコン膜35に不純物をイオン注入してソース／ドレイン領域36、37を形成し、基板の全面に絶縁膜38を形成し、ソース／ドレイン領域36、37上の絶縁膜38を除去してコンタクトを形成し、絶縁膜38上にコンタクトを介してソース／ドレイン領域36、37と接触するソース／ドレイン電極39、40を形成して、従来の非晶質シリコン薄膜トランジスタを製造する。図3において、30は結晶粒界を示す。

【0006】

【発明が解決しようとする課題】しかし、前記通常のCVD法により蒸着された多結晶シリコン膜を用いた薄膜トランジスタと、固相結晶化により得られた多結晶シリコン膜を用いた薄膜トランジスタは次の問題点があった。素子の微細化と高集積化に伴って多結晶シリコン膜の結晶粒径と結晶粒界が素子の電気的特性に非常に大きい影響を及ぼす。通常のCVD法により蒸着された多結晶シリコン膜を用いた薄膜トランジスタの場合には、図1の多結晶シリコン膜の結晶粒径9と結晶粒界8を示す図2から分かるように、多結晶シリコン膜の結晶粒径が小さいためにチャンネル領域に数多くの結晶粒界が存在する。チャンネル領域に存在する数多くの結晶粒界が薄膜トランジスタの電気的特性に悪影響を及ぼす。即ち、薄膜トランジスタは、オン動作モードでは多くの電流が流れなければならないが、結晶粒界の直列抵抗のためにオン動作モードで流れるオン電流が制限される。一方、電流が流れてはいけないうオフ動作モードでは結晶粒界に高密度で存在するトラップ準位(trap level)から発生する漏洩電流によりオフ電流が増加する。従って、薄膜トランジスタのオン／オフ電流比が減少するという問題点があった。

【0007】一方、固相結晶化により得られた多結晶シリコン膜を用いた薄膜トランジスタの場合には、前記の結晶化方法により得られる多結晶シリコン膜は通常のCVD法により形成された多結晶シリコン膜よりは大きい結晶粒径を有するが、結晶粒界の位置を制御することができない。これにより、多結晶シリコン膜の結晶粒界がチャンネル領域に隣接したドレイン領域に形成される場合には、オフ電流を減少させることができないという問題点があった。

【0008】本発明の目的は、結晶粒径と結晶粒界の位置が調節できる結晶化方法を提供することにある。本発明の他の目的は、オン／オフ電流比とスイッチング速度を改善させることのできる結晶化方法を用いた新規な薄膜トランジスタの製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明は、半導体基板上に多結晶シリコン膜を蒸着する工程と、多結晶シリコン膜を第1領域と第2領域に分

ける工程と、多結晶シリコン膜の第1領域と第2領域とに、第2領域に所定の面方向を有する結晶を残し第1領域を非晶質化するように互いに異なる量のシリコンイオンを注入する工程と、熱処理工程により第1領域に残っている結晶を核にして、非晶質化された第2領域を再結晶化させる工程とを含むことを特徴とする結晶化方法である。

【0010】本発明は、基板上にゲートを形成する工程と、ゲートを含む基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、ゲート上部の多結晶シリコン膜上にマスク層を形成する工程と、マスク層を用いてシリコンイオンを注入して多結晶シリコン膜のうち、ゲート上部の領域を非晶質化させ、その以外の領域に所定の面方向を有する結晶を残す工程と、前記マスク層を用いて不純物をイオン注入して、ソース/ドレイン領域を形成する工程と、前記マスク層を除去する工程と、前記結晶を核にしてゲート上部の非晶質化された領域を再結晶化させる工程と、ソース/ドレイン領域上にソース/ドレイン電極を形成する工程と、を含む薄膜トランジスタの製造方法をも提供する。

【0011】

【発明の実施の形態】本発明の結晶化方法は多結晶シリコン膜を二つの領域に分け、二つの領域に互いに異なる量のシリコンイオンを注入して、一方には所定の面方向を有する結晶のみを残し、他方は非晶質化させた後熱処理工程により残留の結晶を核にして非晶質化された領域を再結晶化させ、結晶粒径及び結晶粒界の位置を調節する。

【0012】図4(A)～(E)は本発明の第1実施例による結晶粒径及び結晶粒界の位置を調節できる結晶化方法を示し、図5(A)～(E)は図4の各工程進行後の多結晶シリコン膜の結晶状態を示す図面である。図4(A)及び図5(A)のように、基板41上に絶縁膜42を形成し、絶縁膜42上に多結晶シリコン膜43を蒸着する。図5(A)から分かるように、通常のCVD法により蒸着された多結晶シリコン膜43には数多くの結晶粒界40が存在する。図4(B)及び図5(B)のように、多結晶シリコン膜43上に第1のイオン注入用マスク層44を形成し、これを選択的にエッチングして多結晶シリコン膜43の一方の側にのみ残す。第1のイオン注入用マスク層44を用いて多結晶シリコン膜の露出された領域43-1に $3 \times 10^{19} \text{ atoms/cm}^2$ のシリコンイオンを注入して非晶質化させる。

【0013】図4(C)及び図5(C)のように、前記第1のイオン注入用マスク層44を除去した後、さらに多結晶シリコン膜上に第2のイオン注入用マスク層45を形成し、選択的にエッチングして非晶質化された領域43-1上に第2のイオン注入用マスク層45を残す。前記イオン注入用マスク層44を用いて $1 \times 10^{19} \text{ atom}$

s/cm^2 のシリコンイオンを多結晶シリコン膜の露出された領域43-2にイオン注入して(110)面方向の結晶46のみを残し、その以外の面方向の結晶は全て破壊される。次に、図4(D)及び(E)のように、前記第2のイオン注入用マスク層45を除去した後、600℃の温度の窒素雰囲気中で12時間の熱処理工程を施して、非晶質化された領域43-1を再結晶化させる。熱処理工程を行うと、図5(D)のように、前記領域43-2に残っている(110)面方向を有する結晶46から矢印方向に再結晶化が速く進行し、最終的に図5(E)のように一つの結晶粒界50を有する多結晶シリコン膜47が得られる。

【0014】第1実施例では、図5(D)のように、多結晶シリコン膜の一方から他の方向に再結晶化されることを示したが、多結晶シリコン膜の中央部分のみを非晶質化させ、その非晶質化された部分の両側に(110)面方向を有する結晶が残っている状態で熱処理工程を行うことにより、多結晶シリコン膜の周辺領域から中央領域に再結晶化させることもできる。

【0015】図6(A)～(E)は本発明の第2実施例による結晶粒径及び結晶粒界の位置を調節できる結晶化方法を示し、図7(A)～(E)は図6の各工程進行後の多結晶シリコン膜の結晶状態を示す図面である。

【0016】第1実施例では多結晶シリコン膜の二つの領域に互いに異なるシリコンイオンを注入するために、2回のマスク工程と2回のイオン注入を施したが、第2実施例では1回のマスク工程と1回のイオン注入工程だけで結晶化する方法を提示する。

【0017】まず、図6(A)及び図7(A)のように、基板61上に絶縁膜62を形成し、絶縁膜62上に多結晶シリコン膜63を蒸着する。図6(B)及び図7(B)のように、多結晶シリコン膜63上にイオン注入用マスク層として高温酸化膜64をCVD法により1,000オングストローム厚に蒸着した後、多結晶シリコン膜63の中央部分にのみ残るように選択的にエッチングして、両エッジ部分の多結晶シリコン膜を露出させる。

【0018】図6(C)及び図7(C)のように、100KeVのエネルギーでシリコンイオンを多結晶シリコン膜63に垂直にイオン注入する。シリコンイオン注入後のシリコンイオンの濃度分布をみれば、A-A'線における断面では高温酸化膜64の存在により、図8

(A)のようにシリコンイオンのピークが多結晶シリコン膜のうち、高温酸化膜64の下部の領域63-1に位置し、この領域63-1は完全に非晶質化される。一方、B-B'線における断面では高温酸化膜64が存在しないから、図8(B)のようにシリコンイオンのピークが多結晶シリコン膜の下部の絶縁膜62に位置し、多結晶シリコン膜のうち、高温酸化膜が形成されていない領域63-2ではイオンチャネリングが生じて(11

0) 面方向を有する結晶65のみが存在し、他の面方向を有する結晶は全て破壊される。

【0019】次に、図6(D)及び(E)のように、前記イオン注入用マスク層として作用する高温酸化膜44を除去した後、600℃の温度の窒素雰囲気中で12時間の熱処理工程を行って結晶を一つの結晶粒界を有する多結晶シリコン膜66に再結晶させる。熱処理工程を行うと、図7(D)に示すように、前記領域63-2に残っている(110)面方向を有する結晶65を核にして周辺領域63-2から中央領域63-1へ矢印方向に再結晶化が迅速に行われ、最終的に図7(E)のように、一つの結晶粒界70を有する多結晶シリコン膜66が得られる。

【0020】前記第2の実施の形態では図7(D)のように、多結晶シリコン膜の周辺領域から中央領域に再結晶化されることを示したが、第1の実施の形態と同様に、一方向から他の方向に再結晶化させることもできる。

【0021】前記再結晶化方法は(110)面方向を有する結晶を核にして多結晶シリコン膜を再結晶化させているが、それは完全に非晶質状態で結晶化させる方法に比べて次のような長所がある。

1. 再結晶化に際して、(110)面方向の結晶核が存在するので核生成のためのエネルギーが不要であり、潜伏期間が無いので結晶化に必要な時間が短くなる。
2. (110)面方向の結晶核を中心として再結晶化がなされるので、粒子間の整合性が良好であって結晶粒界におけるトラップレベルを減少させることができる。

【0022】以下、前記結晶化方法を用いた本発明の薄膜トランジスタの製造方法を図9及び図10を参照して説明する。図9は本発明の第1の実施の形態による結晶化方法を用いた薄膜トランジスタの製造工程図である。図9(A)のように、シリコン基板101上に絶縁膜102として酸化膜を形成し、その上に多結晶シリコン膜103を蒸着する。

【0023】図9(B)のように、ソース/ドレイン領域が形成されるべき領域を除いた多結晶シリコン膜103上に第1のイオン注入用マスク層104を形成する。第1のイオン注入用マスク層104を用いて露出された多結晶シリコン膜103に不純物、例えばリン(P)をイオン注入し、熱処理工程により活性化させてソース/ドレイン領域107、106を各々形成する。

【0024】図9(C)のように、前記第1のイオン注入用マスク層104を除去した後、さらにドレイン領域106を除いた多結晶シリコン膜103上に第2のイオン注入用マスク層108を形成する。この第2のイオン注入用マスク層108を用いてドレイン領域106を除いた多結晶シリコン膜103に 3×10^{20} atoms/cm²のシリコンイオン109を選択的に注入して非晶質化させる。

【0025】図9(D)のように、前記第2のイオン注入用マスク層108を除去した後、ドレイン領域106を除いた多結晶シリコン膜103上に第3のイオン注入用マスク層110を形成する。この第3のイオン注入用マスク層110を用いてドレイン領域106に 1×10^{20} atoms/cm²のシリコンイオン111を選択的に注入すると、シリコンイオンのチャネリング現象によりドレイン領域106で(110)面方向の結晶112が残り、その他の面方向の結晶は破壊される。

【0026】図9(E)のように、第3のイオン注入用マスク層110を除去した後、熱処理工程を行うと、ドレイン領域106に残っている結晶112を核として非晶質化された領域が再結晶化されて、ソース/ドレイン領域の間、即ちチャンネル領域103'に結晶粒界120が形成される。

【0027】図9(F)のように、チャンネル領域103'上にゲート絶縁膜113とゲート114を形成し、絶縁膜67を基板の全面に形成しパターニングしてソース/ドレイン領域107、106上にコンタクトを形成する。最終的にコンタクトを介してソース/ドレイン領域107、106と接触するソース/ドレイン電極116、117を形成すると、本発明の結晶化方法を用いた薄膜トランジスタが得られる。

【0028】図10(A)～(H)は本発明の第2の実施の形態による結晶化方法を用いた薄膜トランジスタの製造工程図である。図10(A)のように、半導体基板131上に絶縁膜132として酸化膜を形成し、その上にゲート用のドーピングされた多結晶シリコン膜133を1000オングストローム厚に蒸着する。図10

(B)のように、前記ドーピングされた多結晶シリコン膜133を所定のパターンにエッチングしてゲート134を形成する。

【0029】図10(C)のように、ゲート134を含んだ絶縁膜132上にゲート絶縁膜135と多結晶シリコン膜136を順次形成する。ここで、ゲート絶縁膜135は高温酸化膜(HTO: High Temperature Oxide)等のような酸化膜を400オングストローム厚に形成し、多結晶シリコン膜136は100～200オングストローム厚に形成する。多結晶シリコン膜136を620℃の温度で蒸着すると、多結晶シリコン膜の蒸着速度を増加させることができる。前記において、多結晶シリコン膜136の厚さを薄く形成するのは逆方向電流を減少させるためのものであって、膜の蒸着厚さが薄くなるに伴ってソース/ドレイン領域と基板とのpn接合の断面積を減少させて逆方向の漏洩電流を減少させることになる。

【0030】図10(D)のように、多結晶シリコン膜136上にCVD法により高温酸化膜137を1000オングストローム厚に形成した後、選択エッチングしてゲート134の上部にのみ残す。この際、多結晶シリコ

ン膜 136 のうち、高温酸化膜 137 の下部領域は薄膜トランジスタのチャンネル領域になる部分であり、露出された領域はソース/ドレイン領域が形成されるべき部分である。

【0031】図 10 (E) のように、 5×10^{14} atoms/cm² のシリコンイオン 138 を 100 KeV のエネルギーで垂直にイオン注入して、多結晶シリコン膜のうち的高温酸化膜 137 の上部の領域 136-1 を完全に非晶質化させ、高温酸化膜 137 が形成されていない露出された領域 136-2 ではイオンチャネリングが生じて (110) 面方向の結晶 140 のみが残る、その他の面方向の結晶は破壊される。

【0032】面 10 (F) のように、高温酸化膜 137 をマスクとして露出された領域 136-2 に不純物、例えば 3×10^{14} atoms/cm² のボロン 139 を 10 KeV のエネルギーでイオン注入してソース/ドレイン領域 141、142 を形成する。残っている高温酸化膜 137 を除去し、600℃の温度の窒素雰囲気中で 12 時間の熱処理工程を行うと、図 10 (G) のように、矢印方向に再結晶化されて非晶質化された領域 136-1 はさらに再結晶化される。従って、ソース/ドレイン領域 141、142 の間のチャンネル領域 136' には図 10

(H) のように結晶粒界 150 が存在する。残っている不純物領域をドレイン領域として使用し、結晶が残っていない不純物領域をソース/ドレイン領域として用いる場合には、ドレイン領域とチャンネル領域との界面近傍に結晶粒界が形成されることを防止することができるので、オフ電流の増加防止効果が得られる。この後、ソース/ドレイン領域上にソース/ドレイン電極を形成すると、本発明の第 2 の実施の形態による結晶化方法を用いた薄膜トランジスタが得られる。

【0033】前記図 9 及び図 10 の再結晶化のための熱処理工程時に、ソース/ドレイン領域のための不純物イオン、例えばリンやボロンの濃度が高い場合に、新たな結晶核の生成は抑制されるが、存在する結晶の成長は速くなる。従って、不純物の濃度の高いソース/ドレイン領域に前記の結晶化方法のように (110) 面方向の結晶が残っている場合には、他の面方向の結晶が成長する前に (110) 面方向の結晶が速く成長される。従って、ドレイン領域を中心として結晶が成長されるので、ドレイン領域とチャンネル領域との界面近傍に結晶粒界が形成されるのを防止することができる。従って、オフ電流の増加を防ぐことができる。

【0034】

【発明の効果】前記本発明によれば、シリコンイオンの注入量とシリコンイオンの注入位置を調節してポリシリコン膜を再結晶化させることにより、大きい結晶粒度を有する多結晶シリコン膜が得られ、これを薄膜トランジ

スタに用いるとき、薄膜トランジスタの電気的特性に大きな影響を及ぼす結晶粒界の数を減少させ、尚、結晶粒界の位置を調節することができる。従って、従来の CVD 法により蒸着されるポリシリコン膜を用いた薄膜トランジスタより大きいオン/オフ電流比が得られるばかりではなく、スイッチング速度を改善させて素子の特性を向上させることができるという長所がある。そして、かかる薄膜トランジスタを 1M 級以上の高集積 SRAM 素子の負荷トランジスタとして適用することが可能である。尚、本発明は従来の一般的な工程により製造される薄膜トランジスタの工程とすべて同一条件下で行われるので、素子の特性に変わりが無くして高信頼線を有する。しかも、イオン注入マスクとして用いられるチャンネル領域の上部の酸化膜をシリコンイオンの深さを調節するとともに、ソース/ドレイン領域を形成するための不純物のイオン注入時にマスクとして用いられるので、工程の簡素化を図ることができる。

【図面の簡単な説明】

【図 1】 従来の多結晶シリコン薄膜トランジスタの断面図である。

【図 2】 図 1 の薄膜トランジスタの多結晶シリコン膜の結晶を示す図面である。

【図 3】 従来の非晶質シリコン薄膜トランジスタの断面図である。

【図 4】 本発明の第 1 の実施の形態による結晶化方法を説明するための図面である。

【図 5】 図 4 の各工程後、多結晶シリコン膜の状態を示す図面である。

【図 6】 本発明の第 2 の実施の形態による結晶化方法を説明するための図面である。

【図 7】 図 6 の各工程後、多結晶シリコン膜の状態を示す図面である。

【図 8】 図 6 (C) の A-A' 及び B-B' 線における深さによるシリコンイオンの濃度を各々示す図面である。

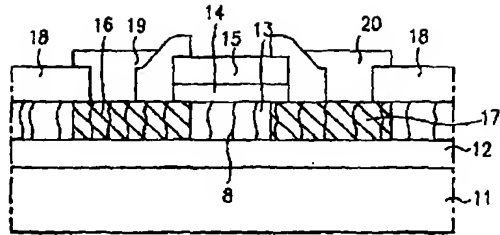
【図 9】 本発明の第 1 の実施の形態による結晶化方法を用いた薄膜トランジスタの製造工程図である。

【図 10】 本発明の第 2 の実施の形態による結晶化方法を用いた薄膜トランジスタの製造工程図である。

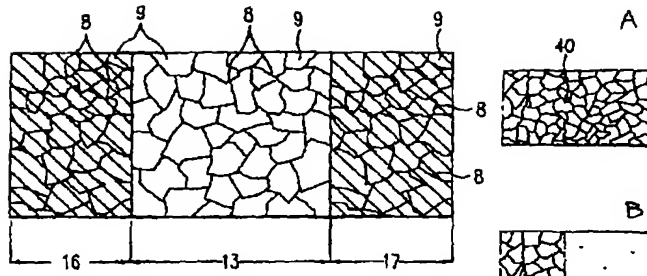
【符号の説明】

41、61、101、131…基板、42、62、102、132…絶縁膜、43、63、103、133、136…多結晶シリコン膜、44、104…第 1 のイオン注入用マスク層、45、108…第 2 のイオン注入用マスク層、46、65、112…(110) 面方向の結晶、50、70、120、150…結晶粒界、64、137…高温酸化膜、134…ゲート、135…ゲート絶縁膜。

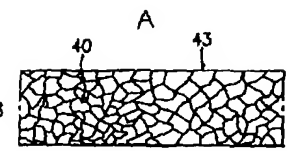
【図 1】



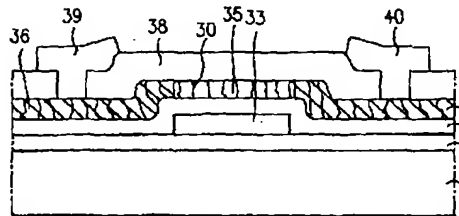
【図 2】



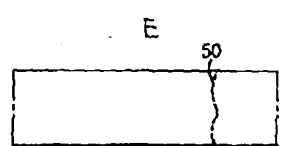
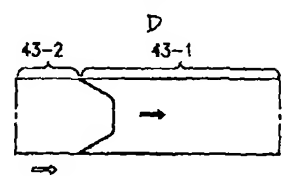
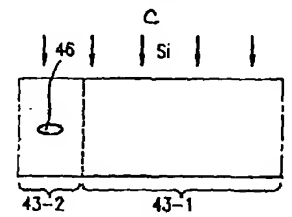
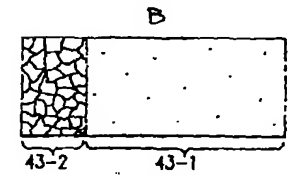
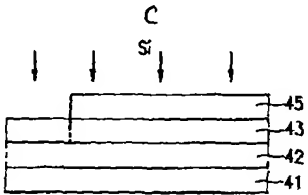
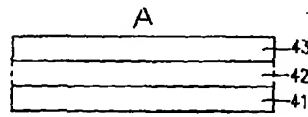
【図 5】



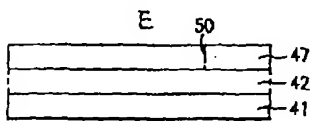
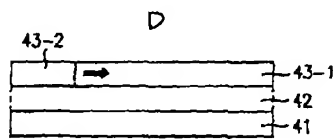
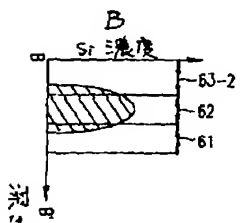
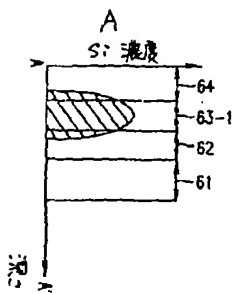
【図 3】



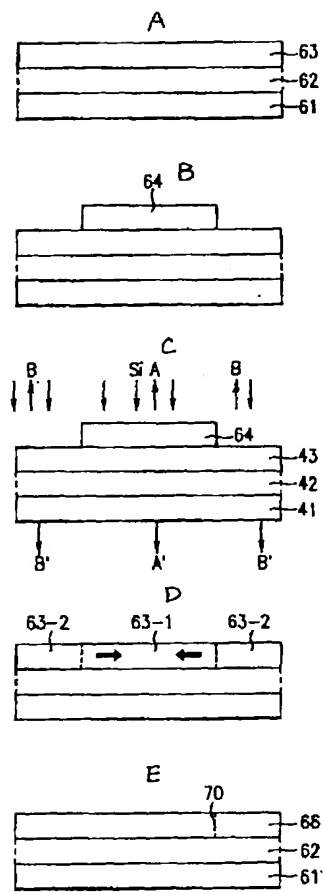
【図 4】



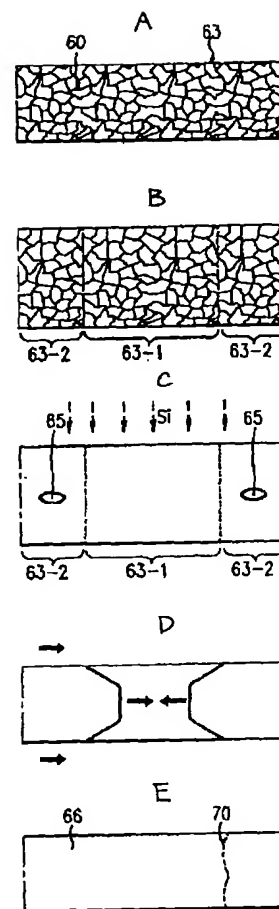
【図 8】



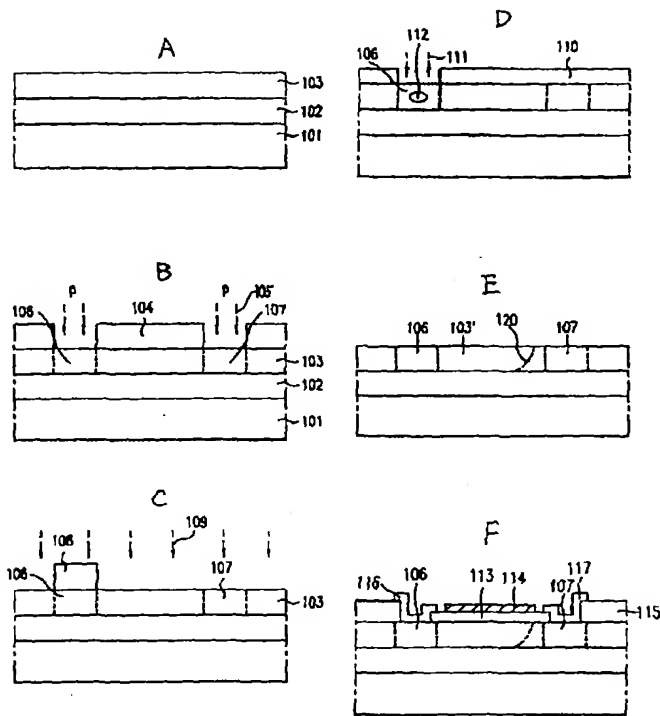
【図 6】



【図 7】



【図 9】



【図 10】

